

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
in this Office.

出 願 年 月 日  
Date of Application:

1999年11月30日

願 番 号  
Application Number:

平成11年特許願第341014号

願 人  
Applicant(s):

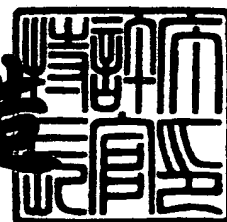
富士通株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 8月18日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3065353

【書類名】 特許願

【整理番号】 9940717

【提出日】 平成11年11月30日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 G06F 9/38

【発明の名称】 キャッシュミスした後のメモリバスアクセス制御方式

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 多湖 真一郎

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 上方 輝彦

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 須賀 敦浩

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 岡野 廣

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 竹部 好正

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

通株式会社内

【氏名】 佐藤 泰造

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士  
通株式会社内

【氏名】 山崎 恭啓

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士  
通株式会社内

【氏名】 依田 斉

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100094525

【弁理士】

【氏名又は名称】 土井 健二

【代理人】

【識別番号】 100094514

【弁理士】

【氏名又は名称】 林 恒▲徳▼

【手数料の表示】

【予納台帳番号】 041380

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 キャッシュミスした後のメモリバスアクセス制御方式

【特許請求の範囲】

【請求項 1】 分岐命令のシーケンシャル側とターゲット側の命令系列の両方をフェッチする命令フェッチ部と、前記命令フェッチ部からのフェッチ要求に応答してキャッシュメモリまたはメインメモリから命令をフェッチするキャッシュ制御部と、前記メインメモリへのアクセスを行うメモリバスアクセス部と、前記フェッチした命令を保持する命令バッファとを有する情報処理装置において、

前記命令バッファに格納される分岐命令の分岐予測を分岐命令の実行に先行して行う分岐予測部を有し、

前記キャッシュ制御部は、前記分岐命令の分岐方向が未確定の場合に、分岐予測部からの分岐予測方向に応じて、前記メインメモリへのメモリバスアクセスを行うことを特徴とする情報処理装置。

【請求項 2】 請求項 1 において、

前記分岐命令の分岐方向が未確定の場合に、前記キャッシュ制御部は、前記分岐命令の分岐予測方向の命令についてキャッシュミスを起こした場合は、前記メインメモリへのメモリバスアクセスを行って命令フェッチを行い、分岐予測方向ではない命令についてキャッシュミスを起こした場合は、メモリバスアクセスを行わないで命令フェッチを中止することを特徴とする情報処理装置。

【請求項 3】 請求項 1 において、

前記分岐命令の分岐方向が未確定の場合に、前記キャッシュ制御部は、前記分岐命令の分岐予測方向がシーケンシャル側にある場合で、ターゲット側の命令についてキャッシュミスを起こした場合は、メモリバスアクセスを行わないで命令フェッチを中止することを特徴とする情報処理装置。

【請求項 4】 請求項 1 において、

前記分岐命令の分岐方向が未確定の場合に、前記キャッシュ制御部は、前記分岐命令の分岐予測方向に応じて、キャッシュミス後のメモリバスアクセスを行わないことを特徴とする情報処理装置。

【請求項 5】 分岐命令のシーケンシャル側とターゲット側の命令系列の両方

をフェッチする命令フェッチ部と、前記命令フェッチ部からのフェッチ要求に応答してキャッシュメモリまたはメインメモリから命令をフェッチするキャッシュ制御部と、前記メインメモリへのアクセスを行うメモリバスアクセス部と、前記フェッチした命令を保持する命令バッファとを有する情報処理装置において、

前記命令バッファに格納される分岐命令の分岐予測を分岐命令の実行に先行して行う分岐予測部を有し、

前記キャッシュ制御部は、前記分岐命令の分岐方向が未確定の場合に、命令フェッチについてキャッシュミスしたらメモリバスアクセスを行わないで命令フェッチを中止し、前記分岐命令が確定している場合に、当該確定した分岐方向の命令についてキャッシュミスした命令のメモリバスアクセスを行うことを特徴とする情報処理装置。

【請求項 6】 請求項 5 において、

分岐命令の分岐方向が未確定の場合は、キャッシュヒットした命令をプリフェッチして、前記命令バッファに格納することを特徴とする情報処理装置。

【請求項 7】 請求項 5 において、

分岐予測部の分岐方向に応じて、前記命令バッファの命令の前記シーケンシャル側またはターゲット側のいずれかの命令が選択されて命令デコードされることを特徴とする情報処理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、パイプライン処理により命令フェッチ、命令保持、命令デコード、実行を行う情報処理装置のメモリバスアクセス方式に関し、特に分岐成立側命令系列（以下、ターゲット側命令系列）と分岐非成立側命令系列（以下、シーケンシャル側命令系列）を、平行してフェッチするデュアル命令フェッチ型の情報処理システムにおける効率的なメモリバスアクセス方式を提供する。

【 0 0 0 2 】

【従来の技術】

パイプライン処理により命令フェッチ、命令保持、命令デコード、命令実行を

行うマイクロプロセッサ（または情報処理装置）は、連続する命令列の命令フェッチを先行して行って、実行ユニットでの実行ステージに空きが発生することをなくし、高速処理を実現する。しかし、命令系列内に分岐命令が存在する場合は、その分岐命令の実行を待ってターゲット側命令系列に分岐するのか、シーケンシャル側命令系列を続けるのかに従って、次にフェッチする命令系列が異なる。その結果、一時的に実行ユニットの実行サイクルに空きが生じる。ここで、ターゲット側命令系列とは、分岐命令を実行した結果、分岐が成立した時に実行される分岐先の命令系列であり、シーケンシャル側命令系列とは、分岐命令を実行した結果、分岐が不成立の時に実行される命令系列である。

## 【 0 0 0 3 】

かかる事態を防止するために、ターゲット側命令系列とシーケンシャル側命令系列との両方の命令列に対して、CPUが同時に命令フェッチ要求を出して、CPU内の2つの命令バッファにそれぞれ格納するデュアル命令フェッチ型の情報処理装置が提案されている。このデュアル命令フェッチ型であれば、分岐命令の実行結果がターゲット側への分岐または非分岐のいずれであっても、次に実行される命令系列が命令バッファに保持されているので、分岐命令の分岐方向の予測ミスに伴う新たな命令フェッチに伴う実行ステージの遅れをできるだけ少なくすることができる。

## 【 0 0 0 4 】

また、マイクロプロセッサであるCPUは、命令フェッチを高速化するために、キャッシュメモリを利用する。外部のメモリバスを介してでなければ、命令やデータ等が格納されている外部のメインメモリから、それらの命令やデータをフェッチすることはできない。かかるメモリバスアクセスは、比較的長い時間（多くのパイプラインサイクル）を要するので、メインメモリ内の命令やデータを格納するキャッシュメモリがCPUに隣接して設けられる。通常、CPUからの命令フェッチには、キャッシュメモリに対して要求され、フェッチされた命令が命令バッファに格納される。キャッシュメモリに格納されておらず、キャッシュミスした場合は、メモリバスを介してメインメモリからフェッチ対象の命令をフェッチし、命令バッファに格納すると共にキャッシュメモリにも格納する。

## 【 0 0 0 5 】

## 【発明が解決しようとする課題】

しかしながら、メインメモリから命令フェッチするメモリバスアクセスを頻繁に行うと、メモリバス内のトラフィックが増大する。かかるメモリバスのトラフィックの増大は、メモリバスアクセスの遅延を招く。特に、分岐命令を実行する前の段階で、実際には実行されないかもしれないターゲット側またはシーケンシャル側の命令をメインメモリから取得する結果、分岐命令の実行の結果必要になった命令をメインメモリからフェッチすることに、長時間を要するようになるのは、好ましくない。

## 【 0 0 0 6 】

そこで、本発明の目的は、過剰なメモリバスアクセスを軽減し、より効率的な命令フェッチを可能にする情報処理装置のメモリバスアクセス方式を提供することにある。

## 【 0 0 0 7 】

## 【課題を解決するための手段】

上記の目的を達成するために、本発明の一つの側面は、分岐命令のシーケンシャル側とターゲット側の命令系列の両方をフェッチする命令フェッチ部と、命令フェッチ部からのフェッチ要求に応答してキャッシュメモリまたはメインメモリから命令をフェッチするキャッシュ制御部と、メインメモリへのアクセスを行うメモリバスアクセス部と、フェッチした命令を保持する命令バッファとを有する情報処理装置において、

前記命令バッファに格納される分岐命令の分岐予測を分岐命令の実行に先行して行う分岐予測部を有し、前記キャッシュ制御部は、前記分岐命令の分岐方向が未確定の場合に、分岐予測部からの分岐予測方向に応じて、前記メインメモリへのメモリバスアクセスを行うことを特徴とする。

## 【 0 0 0 8 】

上記の発明において、より好ましい第 1 の実施例では、前記分岐命令の分岐方向が未確定の場合に、キャッシュ制御部は、分岐命令の分岐予測方向の命令についてキャッシュミスを起こした場合は、メインメモリへのメモリバスアクセスを

行って命令フェッチを行い、分岐予測方向ではない命令についてキャッシュミスを起こした場合は、メモリバスアクセスを行わないで命令フェッチを中止する。

## 【 0 0 0 9 】

即ち、第 1 に、分岐命令の分岐予測方向がターゲット側にある場合で、シーケンシャル側の命令についてキャッシュミスを起こした場合は、メモリバスアクセスを行わないで命令フェッチを中止し、第 2 に、分岐命令の分岐予測方向がシーケンシャル側にある場合で、ターゲット側の命令についてキャッシュミスを起こした場合は、メモリバスアクセスを行わないで命令フェッチを中止する。それ以外の場合は、キャッシュ制御部は、メモリバスアクセスを行って命令フェッチを行う。それ以外の場合は、キャッシュミス後にメモリバスアクセスを許可する。

## 【 0 0 1 0 】

上記の発明において、より好ましい第 2 の実施例では、前記分岐命令の分岐方向が未確定の場合に、キャッシュ制御部は、分岐命令の分岐予測方向がシーケンシャル側にある場合で、ターゲット側の命令についてキャッシュミスを起こした場合は、メモリバスアクセスを行わないで命令フェッチを中止する。それ以外の場合は、キャッシュ制御部は、メモリバスアクセスを行って命令フェッチを行う。従って、上記第 1 の実施例と異なり、第 2 の実施例では、分岐予測方向がターゲット側の場合であってシーケンシャル側の命令についてキャッシュミスを起こしたら、メモリバスアクセスにより命令フェッチを行う。シーケンシャル側の命令フェッチがキャッシュミスする確率は低く、そのような頻度の少ないケースにおいてメモリバスアクセスを禁止する必要性が少ないからである。

## 【 0 0 1 1 】

上記の目的を達成するために、本発明の別の側面は、分岐命令のシーケンシャル側とターゲット側の命令系列の両方をフェッチする命令フェッチ部と、命令フェッチ部からのフェッチ要求に応答してキャッシュメモリまたはメインメモリから命令をフェッチするキャッシュ制御部と、メインメモリへのアクセスを行うメモリバスアクセス部と、フェッチした命令を保持する命令バッファとを有する情報処理装置において、

前記命令バッファに格納される分岐命令の分岐予測を分岐命令の実行に先行して

行う分岐予測部を有し、前記キャッシュ制御部は、前記分岐命令の分岐方向が未確定の場合に、キャッシュミスしたらメモリバスアクセスを行わないで命令フェッチを中止し、前記分岐命令が確定している場合に、当該確定した分岐方向の命令についてキャッシュミスしたらメモリバスアクセスを行うことを特徴とする。

## 【0012】

上記の発明によれば、分岐確定後の分岐方向の命令についてのみ、キャッシュミス後のメモリバスアクセスを行うことになり、メモリバスのトラフィックを軽減することができる。即ち、分岐未確定の段階では、使用されるか否か不明であるので、キャッシュミス後のメモリバスアクセスは全面的に禁止する。また、分岐未確定時のターゲット側の命令は、キャッシュメモリに格納されている範囲内で、命令バッファへのプリフェッチが行われる。

## 【0013】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、かかる実施の形態例が、本発明の技術的範囲を限定するものではない。

## 【0014】

図1は、本発明の実施の形態例における情報処理装置のシステム図である。図1に示された情報処理装置は、マイクロプロセッサであり、チップ内にCPU40と、キャッシュメモリユニット50と、メモリバスアクセス部60とを有する。メモリバスアクセス部60から左側がチップ外であり、外部のメモリバス62を介してメインメモリ64に接続される。

## 【0015】

CPU40は、命令をデコードしてその命令を実行する命令デコーダ及び命令実行部49を有する。図1に示されたCPU40は、分岐命令のシーケンス側とターゲット側との命令を両方、同時にフェッチを行うデュアル命令フェッチ方式の命令フェッチ部410、411を有する。更に、CPU40は、シーケンス側とターゲット側のフェッチされた命令を格納する命令バッファ470、471を有し、当該命令バッファの命令のうち、セレクタ48で選択された側の命令が、命令デコーダ49に供給される。セレクタ48の選択は、後述する分岐命令の分

岐予測信号 S 4 3 0, S 4 3 1 に従って行われる。

【 0 0 1 6 】

命令デコーダでデコードされた命令は、命令実行部 4 9 で実行され、図示しない所定のレジスタなどに実行結果が書き込まれる。命令デコーダ及び命令実行部 4 9 は、分岐命令の分岐先アドレス情報 S 1 2 を分岐側アドレス生成部 4 6 に供給する。分岐側アドレス生成部 4 6 は、その分岐先アドレス情報 S 1 2 に従って、分岐先アドレス A 1 0 を生成し、分岐先アドレスバッファ 4 5 に供給する。分岐先アドレスバッファ 4 5 は、その供給されたターゲット側の命令のアドレスである分岐先アドレスを、その後の命令フェッチのために保持する。更に、連続側アドレスバッファ 4 4 は、シーケンシャル側の命令のアドレスをインクリメントして生成し、保持する。

【 0 0 1 7 】

命令フェッチ部 4 1 0, 4 1 1 は、それぞれアドレス選択部 4 2 0, 4 2 1 を有する。アドレス選択部 4 2 0, 4 2 1 には、連続側アドレスバッファ 4 4 からシーケンシャル側のアドレス A 1 が、分岐先アドレスバッファ 4 5 からターゲット側の分岐先アドレス A 2 が、そして、命令実行部 4 9 から命令実行の結果生成したアドレス A 3 がそれぞれ供給され、その中から選択されたアドレスが、キャッシュメモリユニット 5 0 に命令フェッチ要求 S 2 0 と共に供給される。命令フェッチ部 4 1 0, 4 1 1 は、命令実行部 4 9 から供給される分岐確定信号 S 1 0 に応答して、一方がシーケンシャル側の命令フェッチ部になり、他方がターゲット側の命令フェッチ部になる。また、分岐確定信号 S 1 0 に従って、命令フェッチが分岐未確定段階のプリフェッチか、分岐が確定したあとのフェッチかの区別を、命令フェッチ要求 S 2 0 に添付して、キャッシュメモリユニットに与える。

【 0 0 1 8 】

キャッシュメモリユニット 5 0 は、キャッシュメモリ 5 2 と、キャッシュ制御部 5 4, 5 6 を有する。キャッシュ制御部 5 4, 5 6 は、命令フェッチ部 4 1 0, 4 1 1 からのフェッチ要求 S 2 0 に応答してキャッシュメモリ 5 2 またはメインメモリ 6 4 から命令をフェッチする。従って、キャッシュメモリユニット 5 0 は、シーケンシャル側とターゲット側の命令フェッチ要求を同時に受け付けるこ

とができる 2 ポート形式になっている。キャッシュ制御部 5 4, 5 6 は、キャッシュメモリ 5 2 に対してアドレス A D を与えて命令をフェッチするが、その命令フェッチに対してキャッシュヒットしたかキャッシュミスしたかを示すヒット・ミス信号 C H M が、キャッシュメモリ 5 2 からそれぞれのキャッシュ制御部 5 4, 5 6 に返信される。

#### 【 0 0 1 9 】

各キャッシュ制御部 5 4, 5 6 は、フェッチ要求 S 2 0 に応答してキャッシュメモリに命令フェッチした結果、キャッシュヒットした場合は、そのフェッチした命令を、対応する命令バッファ 4 7 0, 4 7 1 に供給して格納する。キャッシュ制御部 5 4, 5 6 は、キャッシュミスした場合は、後述するアルゴリズムに従って、メインメモリ 6 4 から命令をフェッチするようメモリバスアクセス部 6 0 にメモリバスアクセス要求を行う。但し、本実施の形態例では、このメモリバスアクセスは、分岐未確定の段階では一部制限されている。

#### 【 0 0 2 0 】

メモリバスアクセス部 6 0 は、外部のメモリバス 6 2 を介してメインメモリ 6 4 に接続され、メモリバス 6 2 の制御を行い、キャッシュ制御部 5 4, 5 6 からメインメモリ 6 4 へのフェッチ要求に応答して、メモリバスアクセスを行う。メインメモリ 6 4 からフェッチされた命令は、それぞれ対応するキャッシュ制御部 5 4, 5 6 に供給され、対応する命令バッファ 4 7 0, 4 7 1 に格納されると共に、キャッシュメモリ 5 2 にも記憶される。

#### 【 0 0 2 1 】

キャッシュ制御部 5 4, 5 6 は、フェッチ要求信号 S 2 0 に応答して、キャッシュメモリ 5 2 から命令をフェッチしたか、メモリバスアクセスしてメインメモリ 6 4 から命令をフェッチしたか、或いは命令フェッチを中止したかについての完了通知信号 S 2 2 を、対応するアドレス選択部 4 2 0, 4 2 1 に供給する。

#### 【 0 0 2 2 】

図 1 の情報処理装置は、C P U 4 0 内に分岐予測部 4 3 0, 4 3 1 を有する。この分岐予測部 4 3 0, 4 3 1 は、命令バッファに格納される命令コードが有する分岐予測ビット S 3 0, S 3 2 に従って、そのフェッチされた分岐命令の分岐

予測を行い、分岐予測情報 S 4 3 0, S 4 3 1 を適宜アドレス選択部 4 2 0, 4 2 1 に供給する。アドレス選択部 4 2 0, 4 2 1 は、フェッチ要求信号 S 2 0 に、その分岐予測情報、フェッチ先アドレス、及び分岐確定か否かの情報を加えて、キャッシュ制御部 5 4, 5 6 に供給する。

## 【 0 0 2 3 】

図 1 に示された情報処理装置は、デュアル命令フェッチ方式であり、命令列のシーケンシャル側の命令列とターゲット側の命令列との両方をフェッチし、命令バッファ 4 7 0, 4 7 1 に格納する。かかる命令フェッチは、分岐命令が命令実行部 4 9 で実行されて分岐が確定する前の分岐未確定の段階で行われ、そのプリフェッチされたシーケンシャル側とターゲット側の命令列が、命令バッファ 4 7 0, 4 7 1 に格納される。従って、分岐命令が実行された結果、いずれの方向に分岐が確定しても、分岐命令が確定した後の命令のデコードと実行のステージを、パイプラインのサイクルを乱すことなく行うことができる。

## 【 0 0 2 4 】

更に、図 1 に示された情報処理装置は、分岐予測部 4 3 0, 4 3 1 によってフェッチされた命令の分岐予測を行い、分岐予測結果 S 4 3 0, S 4 3 1 に応じて、命令バッファ 4 7 0, 4 7 1 の一方の命令をデコードする。分岐命令が確定する前に、分岐予測に従って命令のデコードをすることにより、分岐確定時におけるパイプライン処理のサイクルの乱れを少なくすることができる。

## 【 0 0 2 5 】

キャッシュ制御部 5 4, 5 6 は、一般的には、フェッチ要求に応答して、キャッシュメモリ 5 2 から命令をフェッチし、キャッシュヒットした場合は、そのフェッチした命令を命令バッファに格納し、キャッシュミスした場合は、メモリバスアクセス部 6 0 にメモリバスアクセス要求を出して、メインメモリ 6 4 から命令をフェッチする。

## 【 0 0 2 6 】

しかしながら、キャッシュメモリユニット 5 0 内のデータバスは高速であるのに対して、外部にあるメモリバス 6 2 は、その動作周波数が遅くまたバス幅も狭い。従って、メモリバスアクセスが頻繁に行われるとメモリバス 6 2 へのトラフ

イックが増大し、メモリバスアクセス自体が時間を要することになる。従って、外部のメモリバス 6 2 へのアクセス頻度を高くすると、例えば急に必要になった命令のフェッチをメインメモリから行わなければならなくなった時、そのメモリバスアクセスに時間がかかるという課題を有する。

## 【 0 0 2 7 】

本実施の形態例におけるキャッシュ制御部 5 4, 5 6 は、後述する通り、分岐が確定していない場合は、必要に応じてまたは全て、キャッシュミスした後のメモリバスアクセスを行わないで命令フェッチを中止する。

## 【 0 0 2 8 】

第 1 の実施例では、分岐予測方向でない命令については、上記のキャッシュミス後のメモリバスアクセスを行わないで、命令フェッチを中止する。分岐予測方向でない命令の場合は、その後分岐命令が確定した時点でその命令フェッチが無駄になる可能性が高いので、かかる命令に対するメモリバスアクセスは行わないほうが効率的である。但し、分岐予測方向の命令については、キャッシュミス後にメモリバスアクセスを行う。

## 【 0 0 2 9 】

第 2 の実施例では、分岐予測方向がシーケンシャル側であって、ターゲット側の命令についてキャッシュミスを起こした場合は、そのメモリバスアクセスは行わないで命令フェッチを中止する。但し、分岐予測の方向がターゲット側であって、シーケンシャル側の命令についてキャッシュミスを起こした場合は、分岐予測方向と違う側の命令であっても、メモリバスアクセスを行って、命令フェッチを完了させる。その理由は、キャッシュミスをしてメモリバスアクセスされる場合は、その命令と連続するアドレスの命令が一括してキャッシュメモリ 5 2 にフェッチされるので、シーケンシャル側の命令系列がキャッシュミスを起こす可能性は低い。従って、かかる頻度の低いメモリバスアクセスを許可しても、メモリバス 6 2 のトラフィックの増大にはあまりつながらないからである。第 2 の実施例の場合、分岐予測方向の命令に対しては、キャッシュミス後にメモリバスアクセスを許可する。

## 【 0 0 3 0 】

第 3 の実施例としては、分岐命令が未確定の間は、キャッシュヒットした命令のみ命令バッファに格納し、キャッシュミスしたらメモリバスアクセスは行わずに命令フェッチを中止し、分岐命令が確定した後において、キャッシュミスした命令のメモリバスアクセスを行うようにする。この場合でも、以前にフェッチした命令がキャッシュメモリに記録されている限り、デュアル命令フェッチ方式により、両側の命令をプリフェッチして命令バッファに格納することができる。そして、確実に使用される分岐確定後の分岐方向の命令に対してのみメモリバスアクセスを行うので、メモリバスへのアクセス頻度を下げることができる。

## 【 0 0 3 1 】

図 2 は、キャッシュ制御部のブロック図である。前述した通り、CPU 4 0 からフェッチ要求 S 2 0 B が、フェッチアドレス S 2 0 A と分岐予測情報 S 2 0 C と共に供給される。アドレス S 2 0 A はキャッシュメモリ 5 2 に供給されると共に、バスアクセスアドレス保持部 7 2 で保持される。また、フェッチ要求信号 S 2 0 A と分岐予測情報 S 2 0 C とは、バスアクセス要否判定部 7 0 に供給される。

## 【 0 0 3 2 】

バスアクセス要否判定部 7 0 は、キャッシュメモリ 5 2 からのキャッシュ・ヒット・ミス信号 CHM によるキャッシュヒット判定結果と、分岐予測情報 S 2 0 C と、現在シーケンシャル側かターゲット側かのステータスなどに応じて、メモリバスアクセスを要求するか否かを判定する。また、バスアクセス要否判定部 7 0 は、その判定結果を、バスアクセス要求信号 S 7 1 としてバスアクセス制御部 7 4 に供給し、バスアクセス不要信号 S 7 0 を完了通知判定部 7 8 に供給する。

## 【 0 0 3 3 】

上記の判定でメモリバスアクセスが必要と判定された場合は、バスアクセス制御部 7 4 は、バスアクセス要求信号 S 7 1 に応答して、メモリバスアクセス部 6 0 にバスアクセス要求信号 S 7 6 を送ると共に、バスアクセスアドレス保持部 7 2 に制御信号 S 7 5 を出力して、保持しているフェッチアドレスを出力させる。また、上記の判定でメモリバスアクセスが不要と判定された場合は、バスアクセス制御部 7 4 は、メモリバスアクセスは行わない。この判定は、上記の実施例 1

， 2， 3 のアルゴリズムに従う。

【 0 0 3 4 】

メモリバスアクセスに応答して、メインメモリ 6 4 からデータが返信されたときは、バスアクセス制御部 7 4 は、メモリバスアクセス部 6 0 からデータ有効信号 S 7 7 を受信し、それに応答して、バスアクセス完了信号 S 7 4 を完了通知判定部 7 8 に供給する。完了通知判定部 7 8 は、バスアクセス完了信号 S 7 4 やバスアクセス不要信号 S 7 0 に従って、命令をキャッシュメモリ 5 2 からフェッチしたのか、命令フェッチを中止したのか、メモリバスアクセスによりメインメモリからフェッチしたのかの完了通知信号 S 2 2 を、CPU の命令フェッチ部に送る。

【 0 0 3 5 】

メインメモリからフェッチされた命令は、キャッシュ制御部を介して、キャッシュメモリに格納されると共に、命令バッファにも格納される。

【 0 0 3 6 】

以下、上記の第 1、第 2、第 3 の実施例におけるメモリバスアクセスを行わないアルゴリズムについて、説明する。

【 0 0 3 7 】

図 3 は、上記の第 1 の実施例における命令フェッチの動作を示す図表である。図表に沿ってその命令フェッチの動作を説明する。第 1 の実施例では、

- (1) 分岐命令の分岐方向が確定していない場合には、
  - (1-1) 分岐予測部による分岐予測方向がターゲット側の場合には、第 1 に、シーケンシャル側の命令フェッチは、命令キャッシュミスを起こしたら、メモリバスアクセスしないで、命令フェッチを中止し、メモリバスアクセスをしない。第 2 に、ターゲット側の命令フェッチは、命令キャッシュミスを起こしたら、メモリバスアクセスして命令フェッチを完了する。
  - (1-2) 分岐命令実行での分岐予測方向がシーケンシャル側の場合には、第 1 に、ターゲット側の命令フェッチは、命令キャッシュミスを起こしたら、メモリバスアクセスしないで、命令フェッチを中止し、メモリバスアクセスをしない。第 2 に、シーケンシャル側の命令フェッチは、命令キャッシュミスを起こしたら、メ

メモリバスアクセスして命令フェッチを完了する。

(2) 分岐命令の分岐方向が確定している場合には、分岐方向が確定した側（シーケンシャル側、または、ターゲット側）のみを命令フェッチする。その場合は、キャッシュミスを起こしたらメモリバスアクセスして命令フェッチを完了する。

#### 【0038】

以上の通り、第1の実施例では、分岐方向が未確定の間は、分岐予測方向の命令フェッチについてのみ、キャッシュミス後のメモリバスアクセスを行うことを許可し、分岐予測方向ではない命令フェッチは、キャッシュミス後のメモリバスアクセスは禁止して、無駄になる可能性の高い命令フェッチのためのメモリバスアクセスは行わない。いずれの場合でもキャッシュヒットした場合は、それでフェッチされた命令は命令バッファ内に格納され、命令フェッチは完了する。

#### 【0039】

また、命令フェッチ部410、411内のアドレス選択部420、421は、命令フェッチが完了しなかった命令であって、分岐確定信号S10により分岐が確定した方向の命令については、改めて命令フェッチ要求を出す。この時にキャッシュミスが生じたら、メモリバスアクセスを行って必要な命令のフェッチを行う。そのとき、それに連続する命令列もキャッシュメモリ52に格納される。

#### 【0040】

図4は、第1の実施例を改良した第2の実施例における命令フェッチの動作を示す図表である。図表に沿ってその命令フェッチの動作を説明する。第2の実施例では、

(1) 分岐命令の分岐方向が確定していない場合には、  
(1-1)分岐予測部の分岐予測方向がターゲット側の場合には、第1に、シーケンシャル側の命令フェッチは、命令キャッシュミスを起こしたら、メモリバスアクセスして、命令フェッチを完了する。第2に、ターゲット側の命令フェッチは、命令キャッシュミスを起こしたら、メモリバスアクセスして、命令フェッチを完了する。

(1-2)分岐命令実行での分岐予測方向がシーケンシャル側の場合には、第 1 に、ターゲット側の命令フェッチは、命令キャッシュミスを起こしたら、メモリバスアクセスしないで、命令フェッチを中止し、メモリバスアクセスをしない。第 2 に、シーケンシャル側の命令フェッチは、命令キャッシュミスを起こしたらメモリバスアクセスして、命令フェッチを完了する。

(2) 分岐命令の分岐方向が確定している場合には、分岐方向が確定した側（シーケンシャル側、または、ターゲット側）のみを命令フェッチする。その場合は、キャッシュミスを起こしたらメモリバスアクセスして命令フェッチを完了する。

#### 【 0 0 4 1 】

第 2 の実施例が第 1 の実施例と異なるところは、分岐予測方向がターゲット側であってシーケンシャル側の命令フェッチに対してキャッシュミスが生じた場合は、分岐予測方向とは異なる側の命令ではあるが、メモリバスアクセスをして命令フェッチを完了することにある。かかるケースは、極めて可能性が低いので頻度が低く、従って、メモリバスアクセスを許可してもメモリバスのトラフィックを増大することにはならない。

#### 【 0 0 4 2 】

図 5 は、第 3 の実施例における命令フェッチの動作を示す図表である。図表に沿ってその命令フェッチの動作を説明する。第 3 の実施例では、

(1) 分岐命令の分岐方向が確定していない場合は、

(1-1)分岐予測部の分岐予測方向がターゲット側の場合には、第 1 に、シーケンシャル側の命令フェッチは、命令キャッシュミスを起こしたら、メモリバスアクセスしないで、命令フェッチを中止し、メモリバスアクセスをしない。第 2 に、ターゲット側の命令フェッチも、命令キャッシュミスを起こしたら、メモリバスアクセスしないで、命令フェッチを中止し、メモリバスアクセスをしない。

(1-2) 分岐予測部の分岐予測方向がシーケンシャル側の場合には、第 1 に、ターゲット側の命令フェッチは、命令キャッシュミスを起こしたら、メモリバスアクセスしないで、命令フェッチを中止し、メモリバスアクセスをしない。第 2 に、シーケンシャル側の命令フェッチも、命令キャッシュミスを起こしたら、メモ

リバスアクセスしないで、命令フェッチを中止し、メモリバスアクセスをしない。

(2) 分岐方向が確定している場合には、  
分岐方向が確定した側（シーケンシャル側、または、ターゲット側）のみを命令フェッチする。この場合、キャッシュミスを起こしてもメモリバスアクセスしてメインメモリから命令をフェッチして命令フェッチを完了する。

【0043】

第3の実施例は、分岐命令が実行されず分岐未確定の間は、一切のメモリバスアクセスを禁止し、分岐方向が確定した命令についてのみメモリバスアクセスを許可する。分岐未確定の場合は、メモリバスアクセスのよる命令フェッチが無駄になる可能性があるので、そのメモリバスアクセスを禁止してメモリバスのトラフィックを少なくする。キャッシュメモリには、分岐確定した命令が予め格納されるので、キャッシュミス自体はそれほど高い確率で発生するものではない。従って、キャッシュメモリからの命令フェッチだけでプリフェッチして、命令デコーダにシーケンス側とターゲット側の両方の命令系列を格納するだけでも、全体のパイプライン動作をあまり乱すことなく命令の実行を行うことが可能である。

【0044】

最後に、第4の実施例として、上記以外のメモリバスアクセスを減らす方法について説明する。図6は、第4の実施例における命令フェッチの動作を示す図表である。図表に沿ってその命令フェッチの動作を説明する。第4の実施例では、

(1) 分岐命令の分岐方向が確定していない場合

(1-1) 分岐予測部での分岐予測方向がターゲット側の場合には、シーケンシャル側の命令フェッチは、命令キャッシュミスを起こしたら、メモリバスアクセスしないで、命令フェッチを中止し、メモリバスアクセスをしない。一方で、ターゲット側の命令フェッチは、命令キャッシュミスを起こしたら、メモリバスアクセスして命令フェッチを完了する。

(1-2) 分岐予測部での分岐予測方向がシーケンシャル側の場合には、第1に、ターゲット側の命令フェッチは、命令キャッシュミスを起こしたらメモリバスアクセスして、命令フェッチを完了する。第2に、シーケンシャル側の命令も、命

令キャッシュミスを起こしたら、メモリバスアクセスして、命令フェッチを完了する。

(2) 分岐命令の分岐方向が確定している場合

分岐方向が確定した側（シーケンシャル側、または、ターゲット側）のみを命令フェッチする。この場合は、キャッシュミスに対してメモリバスアクセスを行った命令フェッチを完了する。

【0045】

上記第4の実施例の場合は、分岐命令の分岐未確定の場合は、少なくとも分岐予測方向がターゲット側であって、シーケンシャル側の命令フェッチでキャッシュミスを起こしたらメモリバスアクセスは行わない。これにより、その分だけメモリバスアクセスの回数を減らすことができる。

【0046】

上記第4の実施例と同様に、分岐未確定の時に、任意の命令フェッチに対してメモリバスアクセスを禁止するようにしても、その分だけメモリバスアクセスの回数を減らすことはできる。但し、それに伴って分岐予測されている方向の命令プリフェッチができない場合も発生する。メモリバスアクセスの禁止と命令プリフェッチの失敗とのバランスを考慮して、設定することが望ましい。

【0047】

上記4つの実施例のうち、メモリバスアクセスの禁止と命令プリフェッチの失敗とをある程度バランスさせている第2の実施例の動作について、図1を参照して説明する。前提として、シーケンシャル側の命令フェッチは、ポート0側で行われ、ターゲット側の命令フェッチは、ポート1側で行われると仮定する。

(1) 分岐命令の分岐方向が確定していない場合において、

(1-1) 分岐予測部430,431での分岐予測方向がターゲット側の場合には、シーケンシャル側の命令フェッチは、CPU40の命令フェッチ部410 (Port-0) が命令フェッチ要求S20をキャッシュメモリユニット50内のキャッシュ制御部54 (Port-0) に供給し、その命令フェッチ要求が命令キャッシュメモリ52に渡される。この命令フェッチ要求には、フェッチアドレスに加えて、分岐未確定か否かの情報、分岐予測情報なども添付される。

## 【0048】

命令キャッシュメモリ52において、命令キャッシュミスを起こしたら、その信号CHMがキャッシュ制御部54に返され、キャッシュ制御部54は、メモリバスアクセス部60にメモリバスアクセス要求を出す。それに応答して、メモリバスアクセス部60はメモリバス62にアクセスして、命令を主記憶64から読み出して、キャッシュ制御部54に渡し、メモリキャッシュ52に書き込み、且つ、CPU40内命令バッファ(0)470に格納して、命令フェッチを完了する。命令フェッチ完了信号S22が、命令フェッチ部410に返信される。

## 【0049】

シーケンシャル側の命令フェッチのキャッシュミスの頻度はそれほど高くないので、この場合にメモリバスアクセスを許可しても全体のメモリバスの効率を低下させることにはあまりならない。

## 【0050】

ターゲット側の命令フェッチは、CPU40内の命令フェッチ部411から命令フェッチ要求をキャッシュ制御部56 (Port-1) に供給し、その命令フェッチ要求が命令キャッシュメモリ52に渡される。

## 【0051】

命令キャッシュメモリ52において、命令キャッシュミスを起こしたら、キャッシュ制御部56 (Port-1) がメモリバスアクセス部60にメモリバスアクセス要求を出し、メモリバスアクセス部60はメモリバス62にアクセスして、命令を主記憶64から読み出して、キャッシュ制御部56 (Port-1) に渡し、キャッシュメモリ52に書き込み、且つ、CPU40の命令バッファ(1)471に格納して、命令フェッチを完了する。そして、命令フェッチ完了信号が命令フェッチ部411に返信される。

## 【0052】

この場合は、使用確率が高い分岐予測方向の命令がキャッシュミスしているので、メモリバスアクセスを許可して、プリフェッチを完了することが、分岐後のパイプライン動作の乱れを防止することになる。

(1-2) 分岐予測部での分岐予測方向がシーケンシャル側の場合には、ターゲット

ト側の命令フェッチは、CPU 4 0 内の命令フェッチ部 4 1 1 から命令フェッチ要求がキャッシュ制御部 5 6 (Port-1) に出され、その命令フェッチ要求が命令キャッシュメモリに渡される。

【0 0 5 3】

命令キャッシュメモリ 5 2 において、命令キャッシュミスを起こしても、キャッシュ制御部 (Port-1) 5 6 がメモリバスアクセス部 6 0 にメモリバスアクセス要求を出さない。その結果、メモリバスアクセス部 6 0 はメモリバスアクセスしない。そして、キャッシュ制御部 5 6 は、命令フェッチを中止し、アドレス選択部 4 2 1 に命令フェッチをキャンセルした結果信号を返信する。

【0 0 5 4】

一方、シーケンシャル側の命令フェッチは、CPU 4 0 内の命令フェッチ部 4 1 0 から命令フェッチ要求がキャッシュ制御部 (Port-0) 5 4 に出され、その命令フェッチ要求が命令キャッシュメモリ 5 2 に渡される。

【0 0 5 5】

命令キャッシュメモリ 5 2 において、命令キャッシュミスを起こしたら、キャッシュ制御部 5 4 がメモリバスアクセス部 6 0 にメモリバスアクセス要求を出し、メモリバスアクセス部 6 0 はメモリバス 6 2 にアクセスして、命令を主記憶 6 4 から読み出して、キャッシュ制御部 5 4 に返す。キャッシュ制御部 5 4 は、その命令をキャッシュメモリ 5 2 に書き込み、且つ、CPU の命令バッファ (0) 4 7 0 に格納して、命令フェッチを完了する。

(2) 分岐命令の実行により分岐方向が確定している場合

命令フェッチ部 4 2 0, 4 2 1 は、分岐命令の実行により分岐方向が確定した側 (シーケンシャル側、または、ターゲット側) のみを、命令フェッチする。その時、分岐確定方向がシーケンシャル側の場合には、命令フェッチ部 4 2 0 が、キャッシュ制御部 (Port-0) 5 4 を介して、メモリバスアクセス部 6 0 にバスアクセスを要求する。メモリバスアクセス部 6 0 は、フェッチ要求された命令を主記憶 6 4 から読み出し、キャッシュ制御部 5 4 を介して、命令バッファ (0) 4 7 0 とキャッシュメモリ 5 2 に命令を格納して、命令フェッチを完了する。

【0 0 5 6】

分岐確定方向がターゲット側の場合には、命令フェッチ部 4 1 1 が、キャッシュ制御部 (Port-1) 5 6 を介して、メモリバスアクセス部 6 0 にバスアクセスを要求する。メモリバスアクセス部 6 0 が、フェッチ要求された命令を主記憶 6 4 からを読み出し、キャッシュ制御部 5 6 を介して、命令バッファ (1) 4 7 1 に命令を格納して、命令フェッチを完了する。なお、分岐確定方向がターゲット側になった時点で、ターゲット側はシーケンシャル側に、シーケンシャル側はターゲット側に交代する。

【 0 0 5 7 】

図 7 は、上記の第 1 または第 2 の実施例によりメモリバスアクセスが制限された場合の、具体的なパイプライン動作を示す図表である。この例は、図 7 の表の下に示したシーケンシャル側の命令列 01~09 と分岐命令 03 に対応するターゲット側の命令列 51~54 を例にして、パイプライン動作を示すものである。この例では、分岐命令 03 についての分岐予測は、分岐しない、つまりシーケンシャル側の方向が予測されている場合である。

【 0 0 5 8 】

パイプライン動作は、次のステージで構成される。

P : 命令フェッチ要求ステージ : CPU がキャッシュ制御部に命令フェッチ要求をする。この段階では、分岐未確定のプリフェッチか、分岐確定後のフェッチかの区別を付けて命令フェッチ要求される。

T : フェッチステージ : キャッシュメモリでヒットミス判定を行い命令を取り出す準備をする。

C : 命令バッファステージ : 命令バッファに命令を取りこむ。

D : デコードステージ : 命令デコーダが命令を解読し制御信号を生成する。

E : 実行ステージ : デコード結果の制御信号に応答して命令を実行する。

W : 書き込みステージ : 命令を実行した結果をレジスタに書き込む。

M : キャッシュミス : キャッシュミスが発生した。

B : バスアクセス保持ステージ : メモリバスにアクセスするためアドレスをバスアクセスアドレス保持部に保持する。

R : バスアクセス要求ステージ : メモリバスアクセス部に読み出しリクエストを

出す。バスアクセスして命令が読み出されるまで 1 8 サイクルを要すると仮定する。

## 【 0 0 5 9 】

図 7 に戻り、命令 01 は、サイクル 1 の命令フェッチ要求ステージ P、サイクル 2 のフェッチステージ T によりキャッシュメモリから命令をフェッチすることができ、サイクル 3 で命令バッファに命令が取り込まれる（ステージ D）。そして、サイクル 5, 6, 7 の 3 サイクルで命令が実行される（ステージ E）。実行後に命令実行結果が各種レジスタに書き込まれる（ステージ W）。

## 【 0 0 6 0 】

命令 02 も、ステージ P、T、C を経て、命令が命令バッファに取り込まれる。そして、命令 01 の実行ステージ E が終了した次のサイクル 8 で、デコードステージ D で待機していた命令 02 が実行され（ステージ E）、実行結果がレジスタに書き込まれる（ステージ W）。

## 【 0 0 6 1 】

命令 03 は、命令バッファステージ C の時点で、分岐予測部により分岐命令であることが判別され、分岐方向はシーケンシャル側であると予測される。従って、サイクル 6 からターゲット側の命令列 51, 52, 53 も命令プリフェッチが開始される。

## 【 0 0 6 2 】

命令 03 ~ 07 までは、全てキャッシュヒットしてパイプラインサイクルを乱すことなく、それぞれの実行ステージ E が実行される。そして、命令 08 ~ 10 がキャッシュミス（ステージ M）を起こしたとする。また、ターゲット側の命令 51 ~ 53 もキャッシュミス（ステージ M）を起こしたとする。

## 【 0 0 6 3 】

命令 08 は、サイクル 8 の時点では分岐命令 03 の分岐が未確定であり、分岐未確定の命令プリフェッチとして要求される（ステージ P）。そこで、サイクル 1 0 でキャッシュミスを起こすが、第 1 または第 2 の実施例では、分岐予測がシーケンシャル側の時にシーケンシャル側の命令がキャッシュミスを起こすと、そのメモリバスアクセスを許可している。従って、サイクル 1 1 でバスアクセス保持ス

テージB、サイクル12からバスアクセス要求ステージRに入る。バスアクセス要求ステージRは、18サイクルを要すると仮定したので、サイクル30でフェッチされた命令が命令バッファに格納され、命令バッファステージCになる。

【0064】

命令08のメモリバスアクセスに伴い、それに後続する命令もメインメモリからフェッチされてキャッシュメモリに格納されるので、命令09以降の命令バッファステージCは、命令08のステージCに続いて起こることになる。

【0065】

一方、命令51は、サイクル8の時点でキャッシュミスを起こすが、分岐予測方向がシーケンシャル側であるので、ターゲット側の命令51に対するメモリバスアクセスは禁止される。命令52、53も同様にメモリバスアクセスは禁止される。従って、命令08がメモリバスアクセス要求するしたサイクル12では、メモリバスは空き状態にあり、即メモリバスアクセスを行うことができ、サイクル32で命令08が実行される（ステージE）。

【0066】

尚、命令11、12は、それぞれ分岐が確定した後に分岐確定後の命令フェッチステージPを迎えるので、キャッシュミスしてもメモリバスアクセスは実行される。但し、図7の例では、すでに命令08のメモリバスアクセスでキャッシュメモリに命令11、12が格納されているので、キャッシュミスは起こしていない。

【0067】

図7の例は、第1の実施例でも第2の実施例でも、同様の動作になる。即ち、分岐未確定時の命令08のプリフェッチに対してキャッシュミスを起こしても、分岐予測方向側の命令08に対しては、メモリバスアクセスは許可される。

【0068】

第3の実施例の場合は、分岐未確定時の命令08のプリフェッチに対して、キャッシュミス後のメモリバスアクセスは禁止される。その場合は、分岐確定後に再度命令フェッチ部からの命令フェッチに応答して、キャッシュミス後にメモリバスアクセスにより命令がフェッチされる。その場合のメモリバスアクセスは、高速に行われる。

【0069】

図8は、従来例のメモリバスアクセスが制限されていない場合の、具体的なパイプライン動作を示す図表である。この例も、図7の場合と同じ命令列に対するパイプライン動作を示すものである。

【0070】

この例では、命令51は分岐予測方向ではないが、メモリバスアクセスを許可される。従って、サイクル10からバスアクセス要求ステージRになっている。このステージRは18サイクルを要するので、命令08がサイクル10でキャッシュミス（ステージM）を起こしても、メモリバスがビジー状態であり、そのメモリバスアクセスRは、サイクル28まで待たされることになる。その結果、命令08の実行ステージEは、サイクル48まで遅れることになる。

【0071】

このように、従来例に比較して、本実施例では、分岐未確定の段階でのメモリバスアクセスを制限したので、使用可能性が高い命令に対するメモリバスアクセスを効率的に行うことができ、パイプラインサイクルの乱れを最小限に止めることができる。

【0072】

以上、本発明の保護範囲は、上記の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

【0073】

【発明の効果】

以上、本発明によれば、分岐未確定の場合の命令フェッチに対して、キャッシュミスした時のメインメモリへのアクセスを適宜制限したので、分岐予測方向の命令や分岐確定後の命令に対するメインメモリへのアクセスをより効率的に行うことができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態例における情報処理装置のシステム図である。

【図2】

キャッシュ制御部のブロック図である。

【図 3】

第 1 の実施例における命令フェッチの動作を示す図表である。

【図 4】

第 2 の実施例における命令フェッチの動作を示す図表である。

【図 5】

第 3 の実施例における命令フェッチの動作を示す図表である。

【図 6】

第 4 の実施例における命令フェッチの動作を示す図表である。

【図 7】

第 1 または第 2 の実施例によりメモリバスアクセスが制限された場合の、具体的なパイプライン動作を示す図表である。

【図 8】

従来例の場合の具体的なパイプライン動作を示す図表である。

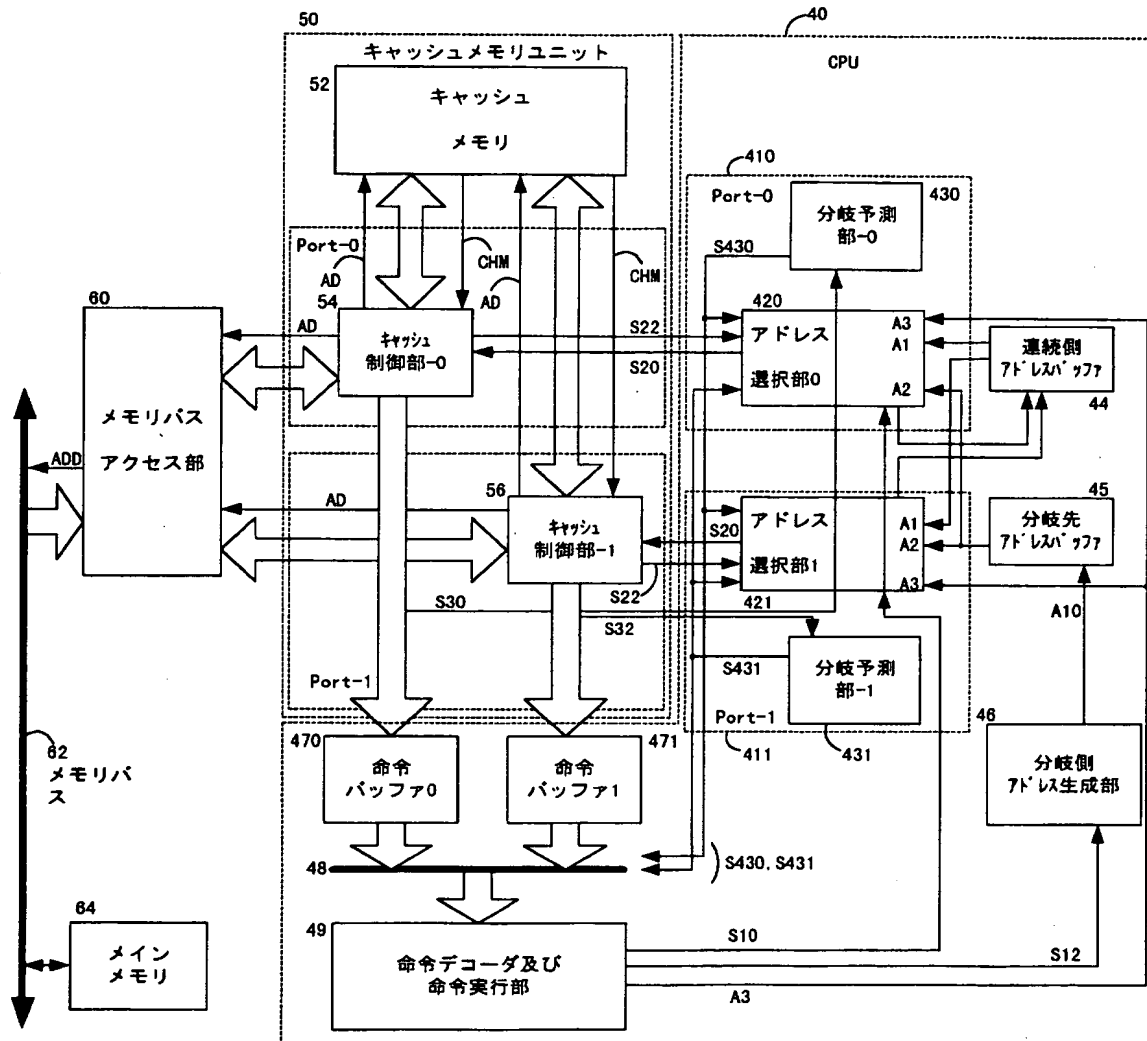
【符号の説明】

4 0	C P U
410,411	命令フェッチ部
430,431	分岐予測部
5 0	キャッシュメモリユニット
5 2	キャッシュメモリ
5 4, 5 6	キャッシュ制御部
6 0	メモリバスアクセス部
6 2	メモリバス
6 4	メインメモリ

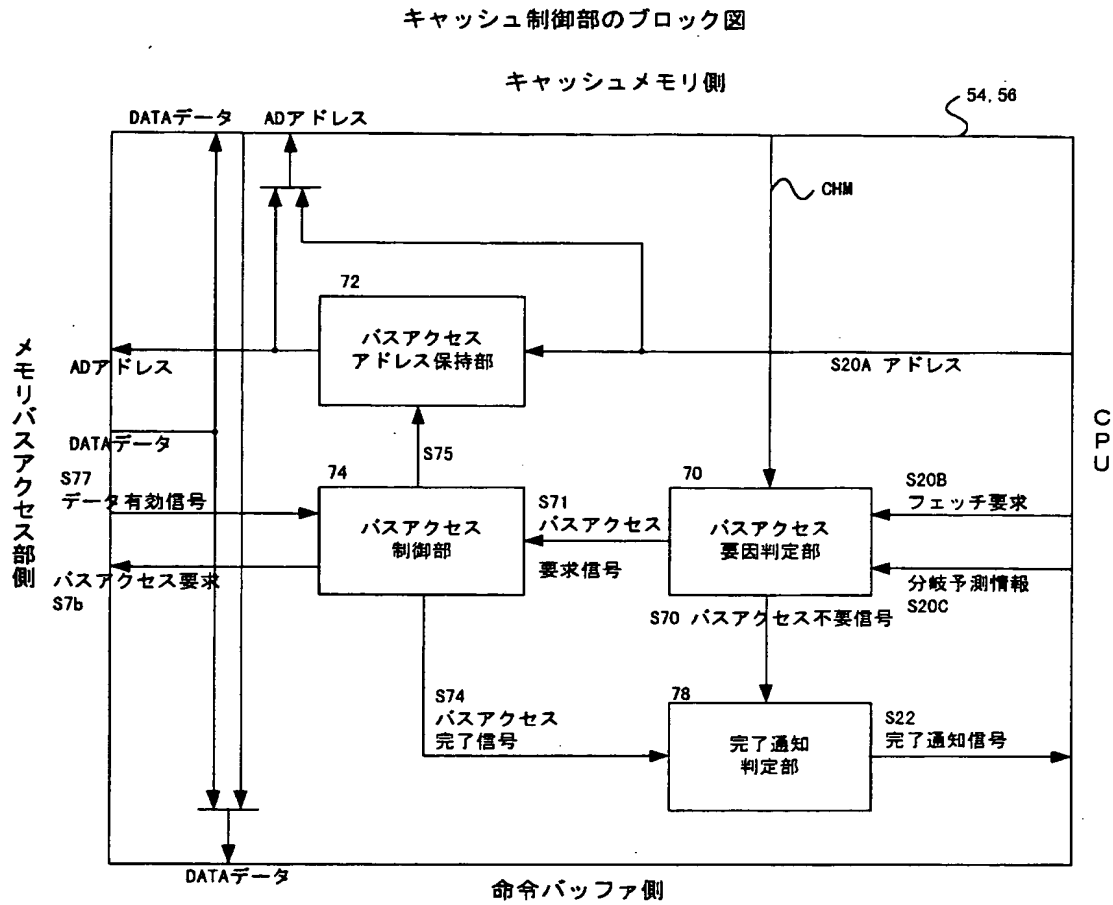
【書類名】 図面

【図 1】

システム構成図



【図 2】



【図 3】

## 第 1 の実施例

分岐方向の予測方向	分岐方向未確定時							
	キャッシュヒット		メモリバスアクセス					
	シーケンシャル側	ターゲット側	シーケンシャル側		ターゲット側		分岐方向確定後のバスアクセス	
メモリバスアクセス			命令フェッチ	メモリバスアクセス	命令フェッチ	S シーケンシャル	T ターゲット	
シーケンシャル側	ミス	ミス	する	○	しない	中止	しない	する
	ミス	ヒット	する	○	しない	○	しない	しない
	ヒット	ミス	しない	○	しない	中止	しない	する
	ヒット	ヒット	しない	○	しない	○	しない	しない
ターゲット側	ミス	ミス	しない	中止	する	○	する	しない
	ミス	ヒット	しない	中止	しない	○	する	しない
	ヒット	ミス	しない	○	する	○	しない	しない
	ヒット	ヒット	しない	○	しない	○	しない	しない

【図 4】

## 第 2 の実施例

分岐方向の予測方向	分岐方向未確定時							
	キャッシュヒット		メモリバスアクセス					
	シーケンシャル側 (S)	ターゲット側 (T)	シーケンシャル側		ターゲット側		分岐方向確定後のバスアクセス	
メモリバスアクセス			命令フェッチ	メモリバスアクセス	命令フェッチ	S シーケンシャル	T ターゲット	
シーケンシャル側	ミス	ミス	する	○	しない	中止	しない	する
	ミス	ヒット	する	○	しない	○	しない	しない
	ヒット	ミス	しない	○	しない	中止	しない	する
	ヒット	ヒット	しない	○	しない	○	しない	しない
ターゲット側	ミス	ミス	する	○	する	○	しない	しない
	ミス	ヒット	する	○	しない	○	しない	しない
	ヒット	ミス	しない	○	する	○	しない	しない
	ヒット	ヒット	しない	○	しない	○	しない	しない

【図 5】

第 3 の実施例

分岐方向の予測方向	分岐方向未確定時							
	キャッシュヒット		メモリバスアクセス					
	シーケンシャル側	ターゲット側	シーケンシャル側		ターゲット側		分岐方向確定後のバスアクセス	
メモリバスアクセス			命令フェッチ	メモリバスアクセス	命令フェッチ	S シーケンシャル	T ターゲット	
シーケンシャル側	ミス	ミス	しない	中止	しない	中止	する	する
	ミス	ヒット	しない	中止	しない	○	する	しない
	ヒット	ミス	しない	○	しない	中止	しない	する
	ヒット	ヒット	しない	○	しない	○	しない	しない
ターゲット側	ミス	ミス	しない	中止	しない	中止	する	する
	ミス	ヒット	しない	中止	しない	○	する	しない
	ヒット	ミス	しない	○	しない	中止	しない	する
	ヒット	ヒット	しない	○	しない	○	しない	しない

【図 6】

第 4 の実施例

	分岐方向未確定時								
	キャッシュヒット		メモリバスアクセス						
	シーケンシャル側	ターゲット側	シーケンシャル側		ターゲット側				
メモリバスアクセス			命令フェッチ	メモリバスアクセス	命令フェッチ	S シーケンシャル	T ターゲット		
分岐方向の予測方向									分岐方向 確定後の バスアクセス
シーケンシャル側	ミス	ミス	する	○	する	○	しない	しない	
	ミス	ヒット	する	○	しない	○	しない	しない	
	ヒット	ミス	しない	○	する	○	しない	しない	
	ヒット	ヒット	しない	○	しない	○	しない	しない	
ターゲット側	ミス	ミス	しない	中止	する	○	する	しない	
	ミス	ヒット	しない	中止	しない	○	する	しない	
	ヒット	ミス	しない	○	する	○	しない	しない	
	ヒット	ヒット	しない	○	しない	○	しない	しない	

【図 7】

実施の形態例におけるパイプライン動作例

サイクル	1	2	3	4	5	6	7	8	9	10	11	12	13	14	・	30	31	32	33	34	35	36
命令 01	P	T	C	D	E	E	E	W	W													
02		P	T	C	D	E	E	W	W													
03			P	T	C	D	E	W	W													
04				P	T	C	D	E	W													
05					P	T	C	D	E													
06						P	T	C	D													
07							P	T	C													
08								P	T													
09									P													
10										P												
11											P											
12												P										
51						P	T	M	M													
52							P	T	M													
53								P	T													

命令 01 → 命令 02 → 命令 03 → 命令 04 → 命令 05 → 命令 06 → 命令 07 → 命令 08 → 命令 09 →  
 ↳ 命令 51 → 命令 52 → 命令 53 → 命令 54 →

(命令 03 は分岐命令であり、分岐予測により分岐しないと予測され、実際に分岐しない。)

【図 8】

従来例のパイプライン動作例

サイクル	1	2	3	4	5	6	7	8	9	10	11	12	13	14	・	28	29	30	・	46	47	48
命令 01	P	T	C	D	E	E	E	W	W													
02		P	T	C	D	E	E	W	W													
03			P	T	C	D	E	W	W													
04				P	T	C	D	E	W													
05					P	T	C	D	E													
06						P	T	C	D													
07							P	T	C													
08								P	T													
09									P													
10										P												
11											P											
12												P										
51						P	T	M	B	R	・	・	・	・	・	C	・	・	・			
52							P	T	M	B	・	・	・	・	・	・	・	・	・			
53								P	T							・	・	・	・			

命令 01 → 命令 02 → 命令 03 → 命令 04 → 命令 05 → 命令 06 → 命令 07 → 命令 08 → 命令 09 →  
 ↳ 命令 51 → 命令 52 → 命令 53 → 命令 54 →

(命令 03 は分岐命令であり、分岐予測により分岐しないと予測され、実際に分岐しない。)

【書類名】

要約書

【要約】

【課題】 キャッシュメモリを有するマイクロプロセッサにおける、外部メインメモリへのアクセスに制限を加えて、メインメモリへのアクセス効率を高める。

【解決手段】 本発明の情報処理装置は、分岐命令のシーケンシャル側とターゲット側の命令系列の両方をフェッチする命令フェッチ部410,411と、命令フェッチ部からのフェッチ要求に応答してキャッシュメモリ52またはメインメモリ64から命令をフェッチするキャッシュ制御部54,56と、メインメモリへのアクセスを行うメモリバスアクセス部60と、フェッチした命令を保持する命令バッファ470,471とを有する。更に、命令バッファに格納される分岐命令の分岐予測を分岐命令の実行に先行して行う分岐予測部430,431を有し、キャッシュ制御部54,56は、分岐命令の分岐方向が未確定の場合に、分岐予測部からの分岐予測方向に応じて、キャッシュミス後のメインメモリ52へのメモリバスアクセスが制限される。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成11年 特許願 第341014号
受付番号	59901169861
書類名	特許願
担当官	濱谷 よし子 1614
作成日	平成11年12月 6日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号
【氏名又は名称】	富士通株式会社

【代理人】

申請人

【識別番号】	100094525
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東 昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	土井 健二

【代理人】

【識別番号】	100094514
【住所又は居所】	神奈川県横浜市港北区新横浜3-9-5 第三東 昇ビル3階 林・土井 国際特許事務所
【氏名又は名称】	林 恒徳

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社